

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-200853  
(43)Date of publication of application : 14.08.1989

(51)Int.Cl. H04L 25/38  
H03K 5/19  
H04L 7/00  
H04L 13/00  
H04L 25/03

(21)Application number : 63-025109 (71)Applicant : SUMITOMO ELECTRIC IND LTD  
(22)Date of filing : 05.02.1988 (72)Inventor : TANABE KUNIO

## (54) BURST SIGNAL COMPLETION DETECTING CIRCUIT

### (57)Abstract:

**PURPOSE:** To surely detect the completion of a burst signal regardless of the number of bits of the burst signal, etc., by executing a prescribed processing to the inputted burst signal by means of a burst signal completion detecting circuit.

**CONSTITUTION:** For the burst signal, the waveform is shaped by a circuit 1. For the signal, the envelope is extracted by a circuit 2. The signal waveform is smoothed, by a circuit set at a prescribed limit level, at the limit level, and the waveform is made into the signal waveform which rises at the time of the start of the burst signal and starts to fall at the time of the completion of the burst signal. By a circuit 4 set at threshold indicated by a dotted line, a signal, which falls at the time of the rise start of the signal and sharply rises when the signal starts to fall, is outputted. A circuit 5 outputs the pulse of 1 shot when the output signal of the circuit 4 rises. In such a way, regardless of the number of bits of the input burst signal, the pulse of 1 shot can be outputted at the time of the completion of the burst signal.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-200853

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)8月14日

H 04 L 25/38  
H 03 K 5/19  
H 04 L 7/20  
13/00  
25/03

3 0 7

Z-7345-5K  
L-6959-5J  
Z-6914-5K  
A-7240-5K  
E-7345-5K

審査請求 未請求 請求項の数 4 (全5頁)

⑭ 発明の名称 パースト信号終了検出回路

⑮ 特 願 昭63-25109

⑯ 出 願 昭63(1988)2月5日

⑰ 発 明 者 田 部 久 仁 男 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社  
横浜製作所内

⑱ 出 願 人 住友電気工業株式会社 大阪府大阪市東区北浜5丁目15番地

⑲ 代 理 人 弁理士 越 場 隆

## 明 細 書

1. 発明の名称 パースト信号終了検出回路

## 2. 特許請求の範囲

(1) 入力されたパースト信号から、少なくとも該パースト信号の入力開始と入力終了に対応して変化する包絡線を抽出する第1の回路と、該第1の回路の出力を所定の記述レベルと比較して結果を出力する第2の回路と、該比較結果から、前記パースト信号の終了時に対応する比較信号の変化時に1ショットのパルスを出力する第3の回路とを備えることを特徴とするパースト信号終了検出回路。

(2) 前記第1の回路が、前記入力パースト信号の包絡線を検出するピークホールド回路を含むことを特徴とする第1請求項に記載のパースト信号終了検出回路。

(3) 前記第1の回路が、該第1の回路に対する入力信号を波形整形する回路を含むことを特徴とする第1請求項または第2請求項の何れかに記載のパースト信号終了検出回路。

(4) 前記第1の回路が、該第1の回路の出力信号を所定のリミットレベルに制限するリミッタ回路を含むことを特徴とする第1請求項から第3請求項までの何れか1項に記載のパースト信号終了検出回路。

## 3. 発明の詳細な説明

産業上の利用分野

本発明は、パースト信号の終了検出回路に関する。より詳細には、パースト信号のビット数あるいはカウントしたビット数の誤りに関わらず、有効なパースト信号の終了を確実に検出することのできる新規なパースト信号終了検出回路の構成に関する。

従来の技術

LANやコンピュータ間通信等において広く実施されているバースト信号伝送方式では、送受信間で予め1群のバースト信号を形成するビット数を定め、受信側は、受信したバースト信号のビット数を計数して、ビット数が所定の数に達したことをもってバースト信号の受信完了を検知していた。

発明が解決しようとする課題

しかしながら、上述のような従来の方式において、異なるビット数のバースト信号を伝送しようとする、システム全体でビット数の設定を変更する必要が生じる。

また、前述のようなビット数の計数処理においてエラーが発生する場合があります、この場合は、バースト信号の終了を正確に検出することができなかった。

そこで、本発明は、上記従来技術の問題点を解決し、可変のビット数に対応し、且つ確実にバースト信号の終了を検出することのできる新規な回路を提供することにある。

スト信号の終了を検出することのできる新規な回路を提供することにある。

課題を解決するための手段

即ち、本発明に従い、入力されたバースト信号から、少なくとも該バースト信号の入力開始と入力終了に対応して変化する包絡線を抽出する第1の回路と、該第1の回路の出力を所定の記述レベルと比較して結果を出力する第2の回路と、該比較結果から、前記バースト信号の終了時に対応する比較信号の変化時に1ショットのパルスを出力する第3の回路とを備えることを特徴とするバースト信号終了検出回路が提供される。

作用

本発明に従って提供されるバースト信号終了検出回路は、入力したバースト信号に所定の処理を実施することによって、バースト信号のビット数等に関わりなく、バースト信号の終了を確実に検出することをその主要な特徴としている。

ものではない。

実施例

第1図は、本発明によるバースト信号終了検出回路の基本的な構成を示すブロック図である。

即ち、この回路は、

即ち、本発明に従う回路では、まず、入力した信号を所定の振幅に増幅する回路1と、入力信号の包絡線を抽出するピークホールド回路2と、所定のリミットレベルを設定されたリミット回路3と、リミット回路3の出力を所定の閾値と比較して入力値の大小を判定する比較回路4と、該比較回路の出力が、ハイレベルからローレベルに変化する際に1ショットのパルスを出力する表示回路5とを備えている。

第2図(a)乃至(f)は、上述のような各回路によって処理される信号波形を、各回路の入力あるいは出力毎に説明する図である。

まず、第2図(a)に示すような波形のバースト信号が、回路1に入力されると、後段での処理が有

即ち、本発明に従う回路では、まず、入力した信号を所定の振幅に整形した後、ピークホールド回路によって入力信号の包絡線を抽出し、更にピークホールド回路の出力を所定のリミットレベルに設定されたリミッタに入力することによって、バースト信号の入力中はハイレベルとなり、信号の入力がなくなるとローレベルに変化する信号を生成する。更に、この信号を適切な閾値と比較する比較器の出力を含む回路によって、バースト信号の終了時に立ち上がる1ショットのパルスを出力することができる。

このように構成された本発明によるバースト信号終了検出回路は、バースト信号のビット数とは無関係に動作するので、入力ビット数の変化あるいは入力ビット数の計数結果がいかなるものであっても、確実にバースト信号の終了を検出することができる。

以下に図面を参照して本発明をより具体的に詳述するが、以下に開示するものは本発明の一実施例に過ぎず、本発明の技術的範囲を何ら限定する

効に実施できるように、入力信号波形が整形され、第2図(b)に示すような信号となる。

この信号は、回路2において包絡線を抽出され、第2図(c)に示すような信号波形となる。更に、この信号波形は、第2図(c)に点線で示すような所定のリミットレベルを設定された回路3によってこのリミットレベルで平滑化され、第2図(d)に示すようなバースト信号の開始時に立ち上がり、バースト信号の終了時に立ち下がり始める信号波形となる。

第2図(d)に点線で示すような閾値を設定された回路4では、第2図(d)に示した信号の立ち上がり開始時に立ち下がり、この信号が立ち下がり始めたときに急峻に立ち上がる信号を出力する。回路5は、回路4の出力信号が立ち上がる際に、1ショットのパルスを出力する。

かくして、第2図(a)に示したような入力バースト信号のビット数に関わりなく、バースト信号の終了時に1ショットのパルスが出力される。

以上のような機能を備えた回路は、具体的には

ている。従って、この回路2は、コンデンサ9並びに抵抗8の時定数に従って入力信号のピークホールドを行う。従って、回路2の出力信号は、第2図(c)に示したような波形となる。

回路3は、バイアスレベルを設定する電圧源 $V_{b1}$ と $V_{b2}$ との間に直列に結合されたトランジスタ10とダイオード11とから構成されており、回路2の出力はトランジスタ10のベースに接続され、また、回路3の出力は、トランジスタ10とダイオード11との間から取り出されている。この回路では、所定の電圧レベル以上の信号電圧がダイオード11にクランプされるので、回路3の出力電圧は予め設定したリミットレベル以下に制限され、かくして、第2図(d)に示したような信号が出力される。

回路4は、回路3のリミットレベルよりも僅かに低い基準電圧 $V_{b3}$ を正相入力に投入された比較器12によって形成されており、回路3の出力信号を逆相入力に投入することによって、バースト信号の開始時に立ち下がり、バースト信号の終了時に立ち上がる第2図(e)に示したような波形の信号

例えば以下のように構成することができる。

第3図は、上述のような本発明に従うバースト信号終了検出回路の具体的な構成例を示す回路図である。尚、第3図において、点線で囲って1～5の参照番号を付した回路は、それぞれ第1図に示した回路1～回路5に対応している。

回路1は、比較基準レベル $V_{b1}$ を設定された比較器6によって形成されている。ここで、比較基準レベル $V_{b1}$ は、入力バースト信号のハイレベルとローレベルの中間に設定されており、第2図(a)に示したような入力バースト信号をこの比較基準レベル $V_{b1}$ と比較することによって、第2図(b)に示したような、入力信号に対応した一定の振幅の信号を出力する。

回路2は、比較器またはオペアンプ7とそれぞれ一端を電圧源 $V_{b2}$ に接続されたコンデンサ9並びに抵抗8とから構成されるピークホールド回路である。ここで、オペアンプ7の正相入力には回路1の出力が結合されており、逆相入力にはオペアンプ7自身の出力が結合されて負帰還を形成し

を出力する。

回路5は、コンデンサ13並びに抵抗14からなる微分回路に、ダイオード15と抵抗16とを付加して構成されている。微分回路は、回路4の出力信号の立ち上がり並びに立ち下がり時に、それぞれ負と正のパルスを出力する。ダイオード15は、これらのパルスのうち、正のもののみを通過させるので、第2図(f)に示したように、回路5からはバースト信号の終了時にのみ1ショットのパルスが出力される。尚、一端を接地された抵抗16は、この回路の出力抵抗である。

#### 発明の効果

以上詳述のように、本発明に従うバースト信号終了検出回路は、バースト信号が搬送する情報のビット数に関わりなく、バースト信号の終了を検出する。即ち、本発明に従うバースト信号終了検出回路は、その動作がバースト信号のビット数に依存していないので、バースト信号を構成する信号のビット数が変化しても、バースト信号の終了

を検出することができる。

また、従来のバースト信号終了検出方式のように、受信したバースト信号のビット数を計数するような処理を行わないので、ビット数の計数エラーに起因する不正確な終了検出はあり得ない。

#### 4. 図面の簡単な説明

第1図は、本発明に従って構成されたバースト信号終了検出回路の基本的な構成を示す回路図であり、

第2図(a)乃至(f)は、第1図に示したバースト信号終了検出回路の各構成要素における信号処理をそれぞれ説明する図であり、

第3図は、第1図に示したバースト信号終了検出回路の具体的な構成例を示す回路図である。

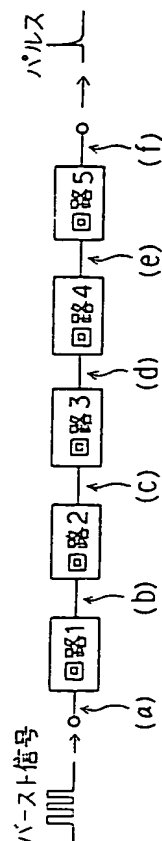
#### 〔主な参照番号〕

- 6、12 ..... 比較器、
- 7 ..... オペアンプ（比較器）、
- 8、14、16 ..... 抵抗、

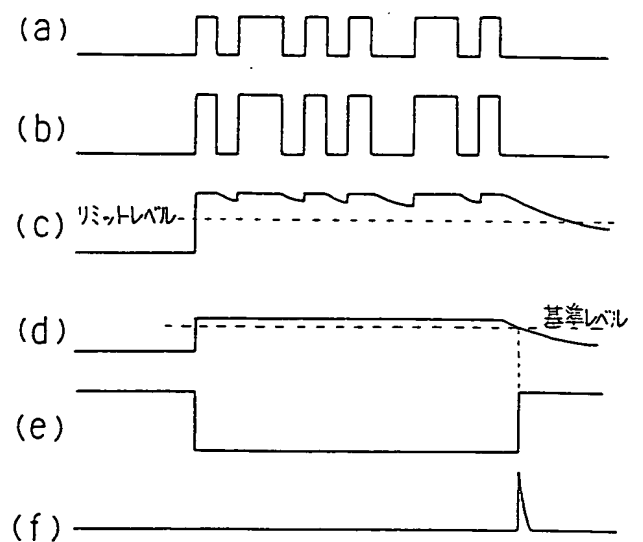
- 9、13 ..... コンデンサ、
- 10 ..... トランジスタ、
- 11、15 ..... ダイオード

特許出願人 住友電気工業株式会社  
代理人 弁理士 越 場 隆

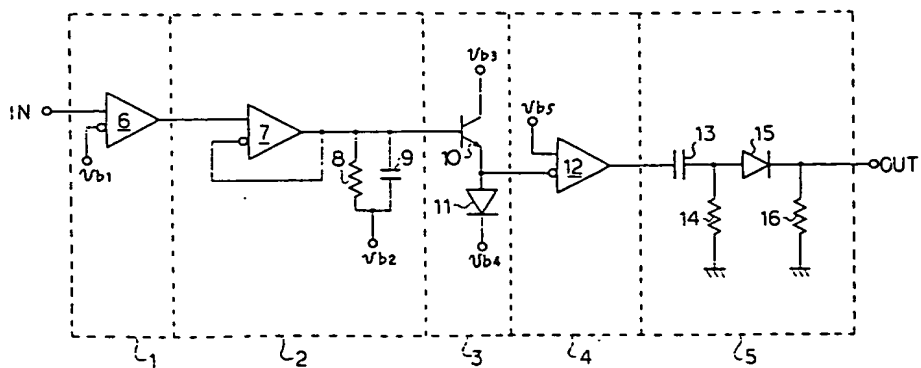
第1図



第2図



第3図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**